

EVALUATING METHOD OF DIELECTRIC LAYER OF CELL OF NONVOLATILE MEMORY ARRAY AND TESTING DEVICE OF NONVOLATILE MEMORY ARRAY

Patent number: JP7006599
 Publication date: 1995-01-10
 Inventor: CAPPELLETTI PAOLO GIUSEPPE (IT); RAVAZZI LEONARDO (IT)
 Applicant: ST MICROELECTRONICS SRL (IT)
 Classification:
 - international: G11C29/00; G11C16/06; H01L21/68; H01L21/8247; H01L29/788; H01L29/792
 - european:
 Application number: JP19930272485 19931029
 Priority number(s): EP19920830589 19921029; EP19930830134 19930401

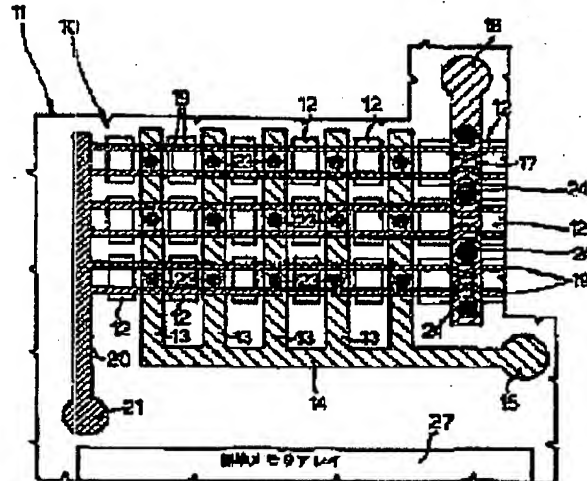
Also published as:

EP0595775 (A1)
 EP0595775 (B1)

Report a data error here

Abstract of JP7006599

PURPOSE: To easily find the existence of a defective cell by impressing voltage which is lower than normal threshold on a testing device and measuring and analyzing a current-voltage characteristic. **CONSTITUTION:** A cell drain area of a testing device 10 of a flash EPROM memory, etc., is mutually connected by metallic lines 13, and a metallic source line 17 and control gate lines 19 are mutually connected. The device 10 which can externally access by single pads 15 to 21 is electrically equivalent in entire cells that are connected in parallel. When the device 10 is given stress by extracting electrons from a floating gate consisting of a gate oxide layer cell that has a defect and a method leaving a charged state of the other cells that are not charged as it is, only threshold voltage of the cell having defect is reduced. Therefore, by impressing the voltage which is lower than normal threshold voltage of the device 10, measuring a current-voltage characteristic and analyzing it, a defective is found.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-6599

(43) 公開日 平成7年(1995)1月10日

(51) Int.Cl.⁶G11C 29/00
16/06

識別記号

3.03 F 6866-5L

片内整理番号

W 7630-4M

FI

技術表示箇所

G11C 17/00

309 E

H01L 29/78

371

審査請求 未請求 請求項の数20 OL (全9頁) 最終頁に続く

(21) 出願番号 特願平5-272485

(22) 出願日 平成5年(1993)10月29日

(31) 優先権主張番号 92830589.6

(32) 優先日 1992年10月29日

(33) 優先権主張国 イタリア (IT)

(31) 優先権主張番号 93830184.8

(32) 優先日 1993年4月1日

(33) 優先権主張国 イタリア (IT)

(71) 出願人 592253644

エスジーエーストムソン・マイクロエレクトロニクス・ソチエタ・ア・レスポンサビリタ・リミタータ

SGS-THOMSON MICROELECTRONICS S. R. L.

イタリア国 イ-20041 ミラノ, アグラテ・ブリアンツァ, ヴィア・チ・オリヴェッティ 2

(72) 発明者 バオロ・ジュゼッペ・カベレッティ

イタリア国, 20030 セヴェソ, コルソ・ガリバルディ 104

(74) 代理人 弁理士 曾我 道照 (外6名)

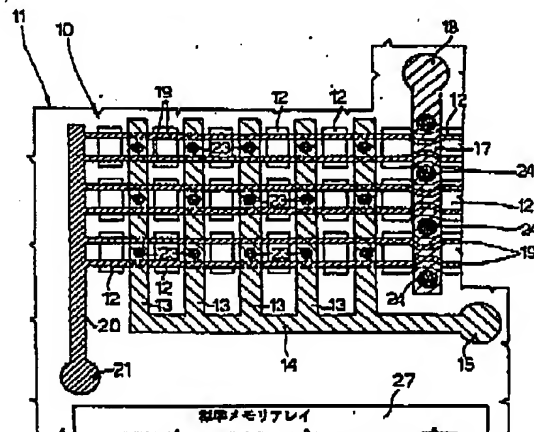
最終頁に続く

(54) 【発明の名称】 不揮発性メモリアレイのセルの誘電体層評価方法および不揮発性メモリの試験装置

(57) 【要約】

【目的】 各セルが相互に並列接続される以外はゲート酸化物または誘電体層の品質が決定されるメモリアレイと同一の試験装置を用いる方法を得る。

【構成】 試験装置(10)は欠陥のあるゲート酸化物セルまたは欠陥のあるインタポリ誘電体セルのフローティングゲートから電子を抽出するような値と極性の電気的ストレスを受け、そのため、帯電されていない欠陥のないセルの電荷が残っている間セルの特性を変更する。この方法では、欠陥のあるセルのスレッシュホールドのみが変更される。次いで、試験装置にスレッシュホールドより低い電圧が印加れ、セルを通る装置内の少なくとも1つの欠陥のあるセルの存在に関連するドレイン電流が測定される。欠陥のあるセルの数を決定するために電流-電圧特性の測定、分析を行う。この方法はEPROM、EEPROM、フラッシュEEPROMメモリのゲート酸化物またはインタポリ誘電体の並列品質制御に相当である。



10: フラッシュEEPROMメモリ試験装置
11: 金属ドレインライン
12: 20: 絶縁層
13: 18, 21: 単一パッド
14: 金属ソースライン
15: ポリシリコン側面ゲートライン

【特許請求の範囲】

【請求項 1】 不揮発性メモリアレイのセル (100) の誘電体層を評価する方法であって、上記メモリアレイのセル (100) を並列に接続するステップと、上記メモリアレイの欠陥のあるセルのフローティングゲート領域から電子を抽出するようなストレスを上記並列接続のセルに印加するステップと、続いて上記並列接続のセルの特性を測定するステップとを含むことを特徴とする不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 2】 ストレスを印加するステップは電気的ストレスを印加するステップを含むことを特徴とする請求項 1 記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 3】 特性を測定するステップは並列接続のセル (100) に欠陥のないメモリセルの標準スレッショルド電圧より低い電圧を印加するステップを含むことを特徴とする請求項 1 または 2 記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 4】 電圧がゲート電圧であることを特徴とする請求項 3 記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 5】 特性を測定するステップは並列接続のセル (100) のドレイン電流を測定するステップを含むことを特徴とする請求項 1~4 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 6】 特性を測定するステップは並列接続のセル (100) のソース電流を測定するステップを含むことを特徴とする請求項 1~4 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 7】 特性を測定するステップは並列接続のセル (100) の相互コンダクタンスを測定するステップを含むことを特徴とする請求項 1~4 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 8】 ストレスを印加するステップは並列接続のセル (100) にストレス電圧を短時間印加するステップを含むことを特徴とする請求項 1~7 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 9】 試験セル (100) のゲート酸化物質 (4) を評価するための請求項 8 記載の不揮発性メモリアレイのセルの誘電体層評価方法において、ストレス電圧を印加するステップは標準の欠陥のないメモリセルのトンネル電圧より低くかつ欠陥のあるメモリセルのトンネル電圧より高いストレス電圧を印加するステップを含むことを特徴とする不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 10】 ストレス電圧を印加するステップは上記セルのドレインおよびソース領域に対してゲート領域に負の電圧を印加するステップを含むことを特徴とする請求項 9 記載の不揮発性メモリアレイのセルの誘電体層

評価方法。

【請求項 11】 ストレス電圧を印加するステップは上記セルの基板およびゲート領域に対してソース領域に正の電圧を印加するステップを含むことを特徴とする請求項 9 記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 12】 上記セル (100) の制御ゲート領域およびフローティングゲート領域間に挿入されたインタポリ誘電体層 (6) を評価するための請求項 8 記載の不揮発性メモリアレイのセルの誘電体層評価方法において、ストレス電圧を印加するステップは上記セルの基板領域に対して上記制御ゲート領域に正の電圧を印加するステップを含む不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 13】 ストレス電圧を印加するステップは所定の期間中定電圧を印加するステップを含むことを特徴とする請求項 8~12 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 14】 ストレス電圧を印加するステップは最小値から最大値へ増大する電圧を印加するステップを含むことを特徴とする請求項 8 記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 15】 増大する電圧は各ステップで増大することを特徴とする請求項 14 記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 16】 多数のストレスおよび測定サイクルを含み、各サイクルはストレス電圧を印加し、上記セルの特性を測定することを含み、各サイクルにおけるストレス電圧は前のサイクルのものに比較して所定量だけ増大されることを特徴とする請求項 15 記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 17】 ストレスを印加する前に上記セルの特性を測定し、そして上記ストレスの印加前後に測定された特性を比較する初期ステップを含むことを特徴とする請求項 1~16 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 18】 上記セルの特性を測定する初期ステップの前に上記試験セルを紫外線消去するステップを含むことを特徴とする請求項 1~17 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項 19】 メモリアレイは相互に電気的に接続されかつ単一ドレインパッド (15) に電気的に接続されたドレイン領域 (2)、相互に電気的に接続されかつ単一ソースパッド (18) に電気的に接続されたソース領域 (3)、および相互に電気的に接続されかつ単一ゲートパッド (21) に電気的に接続された制御ゲート領域 (7, 19) を有する試験セルのアレイからなる試験装置を備えたことを特徴とする請求項 1~18 のいずれかに記載の不揮発性メモリアレイのセルの誘電体層評価方法。

【請求項20】 標準メモリセル(100)のアレイを備え、上記メモリセルが相互に電気的に接続されかつ単一ドレインパッド(15)に電気的に接続されたドレイン領域(2)、相互に電気的に接続されかつ単一ソースパッド(18)に電気的に接続されたソース領域(3)、および相互に電気的に接続されかつ単一ゲートパッド(21)に電気的に接続された制御ゲート領域(7、19)を有することを特徴とする不揮発性メモリの試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、不揮発性メモリアレイのセルの誘電体層評価方法および不揮発性メモリの試験装置に関し、特に例えば不揮発性EPROM、EEPROMおよびフラッシュEEPROMメモリアレイのセルの誘電体層評価方法および不揮発性の試験装置に関するものである。

【0002】

【従来の技術】上述した型の不揮発性メモリの信頼性は、誘電体層の品質に依存することが知られており、この誘電体層の用語は、ここでは制御ゲート領域およびフローティングゲート領域を規定し、一般に“インタポリ(interpoly)誘電体”と称される2つの多結晶シリコン層間に挿入されたゲート酸化物層および誘電体層の両方を意味するものである。

【0003】ゲート酸化物層の評価はとりわけそのセルとして図16に示すような断面のフラッシュEEPROM100がEPROMメモリのものより薄いゲート酸化物層を有するフラッシュEEPROMメモリの場合には重要である。特に、図16はP型基板1、N型ドレイン領域2、N型ソース領域3、ゲート酸化物層4、フローティングゲート領域5、誘電体インタポリ層6、制御ゲート領域7および保護酸化物層8を示す。

【0004】セル自身損傷を受けないようにさせる電圧でファウラーノードハイムトンネル電流によりフラッシュセルを消去させるために、フラッシュEEPROMメモリのゲート酸化物層は(EPROMセルに対するほぼ200Åと比較して)ほぼ110Åの厚さを有する。従って、EEPROMセルのトンネル酸化物と同じ機能をを行うことによってトンネル酸化物として規定され得るゲート酸化物層を通るトンネル電流の通過はフローティングゲート領域から電子を除去させる。

【0005】それ故、その機能に鑑みて、フラッシュセルのトンネル酸化物層はEPROMメモリの代表的な電気的ストレスに対する耐性および消去特性の両方の点で信頼性が保証されなければならない。故に、トンネル酸化物層の品質の評価の有効で信頼できる方法が重要である。

【0006】目下、これは特にそのために作られたトンネル酸化物層MOSコンデンサを使用して行われ、(考

慮されるセルの側に依存する)そのコンデンサの面積即ち周辺部の長さはアレイのものと等価であり、試験方法自身はコンデンサに電圧または電流ストレスを与え、コンデンサの破壊の際の電界または全電荷を評価することからなる。時々ストレスの下に得られる全電流/電圧特性が評価される。

【0007】

【発明が解決しようとする課題】しかしながら、上記分析および評価方法はその精度に影響を及ぼす幾つかの欠点を提起する。まず第1に、破壊電荷または電界と同じ工程で作られた欠陥のあるセルアレイの存在との間にある相互関係があるかどうかはまだ確立されていないことは疑いのないところである。

【0008】その上、上記周知の方法で得られた電流/電圧特性を持つ場合でさえ、酸化物の不足の度合いが全アレイ内のセルの幾つかだけに影響を及ぼすときの酸化物の欠陥を検出することは不可能である。実際、欠陥のあるゲート酸化物層のセルのスレッショルドの変動に対して応答できる電流、特に平方センチメートル当たり数個の欠陥の欠陥レベルにおける電流は、測定装置のノイズレベルで提起される制限およびコンデンサの全領域のゲート電流の同じ時間での存在のためにめったに測定できない。この後者の要因は検出するための欠陥レベルが低くなると益々もっと厳しくなり、従って、益々広い面積のコンデンサの測定が必要になり、そのためその方法の測定感度を損なうことになる。

【0009】周知の冗長方法を使用した場合でさえ、たとえ少数の欠陥のあるセルの存在はメモリの破壊を生じる。従って、生産工程の効率およびメモリの信頼性は含まれる欠陥の度合いに依存するので、非常に低い欠陥レベルさえ検出することができると測定装置を利用できることは肝要である。

【0010】新しい発生装置の場合には、インタポリ誘電体の総領域は増大しがちであり、従って、欠陥の低減(平方センチメートル当たりの欠陥で表される)の減少を生じ、またインタポリ誘電体層の品質は次第に重要になってくる。

【0011】インタポリ誘電体層の品質を評価するための簡単な試験装置を用いる現在の技術は同様であり、基本的にゲート酸化物層の技術と同じ限界を呈し、一般にインタポリ誘電体と同一の誘電体を用いて電流-電圧特性、および(広い領域または広い周辺部)のコンデンサの破壊の際の電界または電荷を測定するものである。このような方法は、単に全体のコンデンサのものと比較して主要な電流/電圧特性の欠陥を検出するだけで、不揮発性メモリセルの帯電状態に影響を及ぼすそれほど明白でない欠陥を検出し損なう。

【0012】装置自体を試験することにより、より正確な情報を得ることが出来るが、簡単な試験装置と比較して製造および試験時間が大きく増大する。

5

【0013】この発明の目的は、品質の劣ったゲート酸化物層またはインタポリ誘電体層のために欠陥のあるセルを検出する方法を提供し、および周知の方法でかつそのために現に実施されている装置と比較して改善された分析性能を提供することである。

【0014】

【課題を解決するための手段】この発明によれば、請求項1に記載されているような、例えばEPROM、EEPROMおよびフラッシュEEPROM等の不揮発性メモリの誘電体層の品質の評価方法が提供される。

【0015】この発明の一実施例は品質を試験される誘電体層（トンネル酸化物および／またはインタポリ誘電体）が有るメモリアレイと同一の試験装置を備え、この試験装置はその装置内の欠陥のある誘電体層のフローティングゲート領域から電子を抽出するだけのストレスを電気的に印加される。特に、トンネル酸化物層の品質を決定するために、電界が半導体基板から制御ゲート領域に発生され、一方、インタポリ誘電体の品質を決定するために、電界が反対方向に発生される。次いで、試験装置はスレッシュホールド電圧より低いようにされ、試験装置セルを通りかつ欠陥のあるセルの存在に関連する電流が測定され、欠陥のあるセルの数を決定するために電流-電圧特性が分析される。この方法では、装置内でそのゲート酸化物層および／またはインタポリ誘電体層が欠陥のある1個のセルでさえその存在を検出することができる。

【0016】

【実施例】この発明の好適な制限のない実施例を添付図面を参照して説明する。以下の説明では、フラッシュEEPROMメモリについてなされるけれども、この発明はまたEPROMおよびEPROM型のメモリにも適用され得る。図1は標準メモリアレイと同一のフラッシュEEPROMメモリ試験装置10の平面図を示し、従って、図18に示すような多数のフラッシュEEPROMメモリ100を有する。しかしながら、標準アレイと同様、図1に示すように、試験装置10のセル100のドレイン領域は金属線によって相互に接続され、またソース領域および制御ゲートラインが相互に接続される。図1はフィールド絶縁領域12、共通部分14によって単一パッド15に接続された金属ドレインライン13、単一パッド18に接続された金属ソースライン17、共通部分20によって単一パッド21に接続されたポリシリコン制御ゲートライン19、ドレイン接点23、およびソース接点24を収納する半導体材料のウエハ1の部分を示す。フィールド絶縁領域12が存在せずかつゲートラインで覆われていない領域はソースおよびドレイン領域を構成する。

【0017】従って、単一パッド15、18および21によって外部的にアクセスできる試験装置10は並列接続のセル100の全てに電気的に等価である。試験装置

6

10はウエハ自身の内側でかつ動作させる標準メモリアレイ（その1つを図1に符号27で示す）の次に形成してもよく、この場合、試験装置10は、同じ特性（特にゲート酸化物層およびインタポリ誘電体の品質に関して）を呈し、標準メモリアレイ27の酸化物層の品質の信頼性のある表示を与えるため、同じ技術を使用しかつ同時に標準メモリアレイ27を用いて作られる。

【0018】また、ゲート酸化物層またはインタポリ誘電体層の品質を制御するために、試験装置10は試験ウエハで形成してもよく、この場合、製造方法は標準メモリアレイに付属した回路を形成するのに必要な工程の幾つかを省くことにより簡略化される。

【0019】ゲート酸化物層の品質を評価するために、試験装置10をまず紫外線消去してセルのフローティングゲートを電気的に中和させ、この場合に、試験装置10のドレイン電流は試験装置10内のセルの数だけ掛算した各セルの電流に等しい。欠陥のあるゲート酸化物層セルのフローティングゲートから電子を抽出する（従って、正に帯電されたままである）方法でかつ帯電されていないその他のセルの帯電状態をそのままにする方法で試験装置10にストレスを与えると、欠陥のあるセルのスレッシュホールド電圧は下がり、一方、その他の（欠陥のない）セルのものは帯電されないままである。従って、特に、スレッシュホールド電圧が十分に下がるならば（これは通常試験装置10の複雑さに依存し、かつ100万個のセル構造に対してはほぼ1Vである）、欠陥のあるセルのスレッシュホールド電圧以下のゲート電圧値に対して、欠陥のあるセルのドレイン電流またはソース電流はその他のセルの全ての総ドレイン電流より大きい。

【0020】上述のごとく、ストレスの加えられたときの試験装置10の特性の変化を図2に示し、ここで、曲線30は暗がりかつゼロゲート電圧（ $V_g=0$ ）および1nA以下の電流漏洩で測定された紫外線消去の試験装置10のゲート電圧の関数としてのソース電流を示す。一般に、総合のソース-基板接合の空間電荷領域で発生された光電流によってのみ決定されるソース漏洩は光強度に強く依存し、そして、ドレイン領域はまたドレイン-基板接合の反転電流によって影響を受け、これはドレインに印加される電圧および密接に温度のいずれにも依存する。

【0021】制御ゲート領域（図16の7）へ負の電圧をまたソース領域（3）に正の電圧を印加した際に、フローティングゲート領域5-基板1重複領域（拡散されたソース領域3およびドレイン領域2を含む）またはそれぞれフローティングゲート領域5-ソース領域3重複領域内のゲート酸化物層4（即ちトンネル酸化物層）の電界はフローティングゲート領域5の方へ向けられる。印加された電圧が欠陥のないセルのゲート酸化物層の電位障壁を通るファウラーノルドハイムトンネルを避けるために十分低ければ、試験装置10に図2の曲線30で

50

示す特性を与えるために、低い電界（図9参照）の異常なゲート電流で欠陥のあるセルのフローティングゲート領域から失われるだけであり、上記特性は欠陥のあるセルのために“尾”31aを呈する。

【0022】図3は上述した電氣的ストレスの1つを与えた後の試験装置10のドレイン電流 I_d （対数目盛曲線33）および相互コンダクタンス $G(dI/dV_g)$ （線形目盛曲線34）を示す。特に、曲線33はドレイン-基板接合の反転電流を示す第1の部分33aと、多数のセルのスレッショルド電圧の変化に基づく変更部分を示す第2の部分33bと、全アレイの介在による最終部分33cを呈する。相互コンダクタンス曲線34は2つの“ヒブ”34aおよび34bを呈し、各々その他の欠陥のないセルのスレッショルド電圧以下の電圧でターンオンされるそれぞれの欠陥のあるセルで生じたドレイン電流による。従って、相互コンダクタンス曲線34は欠陥のあるセルの数を決定し、特に1つだけでも欠陥のあるセルの存在を示すことを備えている。

【0023】しかしながら、測定に基づく自動的工業目標ルーチンおよび相互コンダクタンス曲線の評価を索出することが不可能なために、全アレイを評価するための2つの代案が索出されている。

【0024】第1の解決法によれば、試験装置は固定された期間の間所定のソース電圧またはゲート電圧によってストレスを受けるようになされており、所定のソース電流（例えば300nA）におけるゲート電圧はストレスの前後で測定される。そのように測定された電圧の差が所定の値を超えるならば、試験装置は欠陥があるものと考えられる。

【0025】しかしながら、上記解決法はストレス時間を最小にすることに関して問題を提起し、そのため、欠陥のあるセルの低い電界での異常なゲート電流により大きく変化するストレス時間によって許容できる自動的時間枠内で欠陥のあるアレイの検出を可能にする。

【0026】上記問題を克服するのを提供する第2の好適解決法は、勾配したストレスルーチンからなり、それによってストレス電圧は複数のステップで印加され、各ストレス電圧印加ステップ後にアレイ特性が測定される。電圧勾配は特に指数関数的ゲート電流勾配に等価であり、そのため、欠陥のあるセルのソース電流は前の一定ストレス解決法と比較してより迅速に検出される。

【0027】以下に図4～図7を参照して第2の解決法を説明する。図に示す例では、ドレイン-基板接点漏洩のドレイン電流とともに光強度により生じたドレイン電流のために、その特性はソース電流を使用して測定される。

【0028】まず、第1に、試験装置10の紫外線消去後、試験装置の電流漏洩は $V_d = 0.05V$ 、 $V_g = V_s = V_b = 0V$ （図16）で測定され、ソース漏洩が所定のスレッショルド（例えば100nA）を超えると、試験

装置はさらに測定されない。また、同じくドレイン漏洩に適用する。

【0029】それから、試験装置の特性（“1次”特性）は図4に示すように測定される。特に、この段階は2つの所定のソース電流値 I_{s1} および I_{s2} （例えば、200nAおよび1.5mA）でファウラーノルドハイム効果のために特性の偏位を示すのに第1に欠陥“尾”に影響され、第2に試験装置の固有の性質を表すゲート電圧のVTLおよびVTH値を測定することになる。

【0030】次に、試験装置は例えばゲートについての第1の勾配したストレス段階を受け、ここでは負のゲート電圧（図7の V_g ）は例えば-4Vからかつ例えば-0.25Vの固定した増分で次第に増大し、各ストレス電圧は例えば0.1秒の所定の時間の間維持される。ストレス電圧 V_g の各印加後ソース電流値 I_{s1} （図4）に対応するゲート電圧 V_g の値 V_{g1} が測定され、そして初期値VTLと比較される。その差（ $V_{TL} - V_{g1}$ ）が所定のDV値例えば100mV（通常、試験装置の精度に依存する）以下であれば、上述のごとく増大したより高いストレス電圧が印加され、そして、ストレスおよび測定が反復される。逆に、 $V_{TL} - V_{g1} \geq DV$ ならば、印加されたストレスに関する V_{g1} 値がVRLとして測定され、そして、第2の勾配したストレス段階が実行される。

【0031】図5に示すように、VRL（ $(i+1)$ 番目のストレス電圧周期に関連する）は特性（“尾”）の0.1Vのシフト、次いで1以上の欠陥のあるセルのスレッショルドのシフトのために応答できるストレスを表す。

【0032】第1のストレス段階におけるように、第2のストレス段階は再び直線的に増大する電圧レベルを印加しかつ各印加後の特性を測定することからなる。特に、第2のストレス段階では、ソース電流値 I_{s2} に相当する電圧 V_g が測定され、その結果得られたゲート電圧 V_g の値 V_{g2} を初期値VTHと比較される。 $V_{TH} - V_{g2} < DV$ ならば、より高いストレス電圧が印加される。逆に、印加されたストレスに関連する値がVRHとして記憶される。

【0033】図6に示すように、VRHは総アレイのスレッショルド電圧の変動のための特性のシフトに対して応答できるストレスを表し、セルのゲート酸化物層の固有の品質に関連し、かつ製造工程パラメータおよび技術に依存する。

【0034】この点で、結果として得られたVRL値およびVRH値の差が計算され、この差が所定のスレッショルド（例えば、1.5V）を超えるならば、試験装置は欠陥があると考えられる。また、本方法は電氣的パラメータおよび特定の特性値を比較し、その結果に従って類別する付加的段階を含む。

【0035】全体の試験順序は室温で非常に短時間、代表的には約15秒で行われ、任意の場合には数分以内で

行われる。インタポリ誘電体層の品質を決定するために、本方法は、図9～図12を参照して以下に詳述するようにゲート酸化物層を評価するのに用いられたものと反対極性のストレス電圧を印加する。

【0038】図9および図10は、ソース領域に正の電圧を印加し、または制御ゲート領域に（基板に対して）負の電圧を印加することにより生じるストレスの場合の電界の方向を示す。この場合、既に示したように、電界Eはフローティングゲート領域の方向に向けられる。

（図9で矢印40で示される）ゲート酸化物層4の欠陥の場合には、図9に示したように、電子eはフローティングゲート領域から基板またはソース領域の方へ抽出され、かくして既に述べたように伝達特性に変化が生じる。しかしながら、（図10で矢印41で示される）インタポリ誘電体層6の欠陥の場合には、図10に示したように、電子eは制御ゲート領域7からフローティングゲート領域5へ注入されるが、伝達特性（図4の曲線）には変化はない。これは、欠陥のあるセルの電流が測定できるアレいの線形領域（図4の曲線の頂部の水平部分A）の外部直列抵抗R₁によって影響される電流制限のためである。しかしながら、外部直列抵抗R₁がゼロの場合でさえ、欠陥のあるセルの電流は全アレいの電流だけを超える（この場合、セルはプログラムされ、アレいのその他のセルがターンオンした後だけターンオンされる）。従って、上記ストレスでは、欠陥のあるゲート酸化物層セルの存在を検出することができるだけである。

【0037】これに対し、制御ゲート領域7に正の電圧をまた基板1に負の電圧を印加すると、電界は制御ゲート領域7から基板1の方へ向けられ（図11および図12）、その結果、ゲート酸化物層4内の矢印40で示す欠陥の場合には、電子eは図11に示すように基板1からフローティングゲート領域5へ注入される。上述したように、フローティングゲート領域5への電子注入はアレいの特性に変化を生じないが、一方、インタポリ誘電体層6に矢印41で示す欠陥が存在する場合には、フローティングゲート領域5から抽出された電子eを生じ、従って、アレいの特性に変化を生じる。それ故、この種の試験は、単に欠陥のあるインタポリ誘電体層6を持つセルの存在を検出することができるだけである。

【0038】かくして、インタポリ誘電体層6の品質は、ゲート酸化物層4と関連して上述した同じルーチンを使用するが、印加したストレス電圧の極性を単に変えることによって分析され得る。

【0039】特に、試験装置10の紫外線消去および出来れば電流漏洩の測定後、初期特性（図14の破線15）が測定され、そして、制御ゲート端子に増大する正のランプ電圧（図13の電圧V_c）を印加することにより、試験装置10の特性が所定量だけ変化するVSL値が決定される。（欠陥のあるインタポリ誘電体層6を有し、従って、より低いゲート電圧V_gの値でターンオン

されるセルのフローティングゲートからの電子抽出による）特性の変化を図14に示す。ここで、曲線46は移されて“尾”47を提起する。ゲート酸化物層の試験に関しては、この場合もまた、初期特性と比較して100mVのシフトが所定のドレイン電流I_d（例えば200nA）が起きるVSL値を記憶してもよい。

【0040】続いて、ランプ電圧が増加すると、チャネル領域からフローティングゲート領域へのファウラーノルドハイム電子注入の結果として印加される電界によってプログラムされるアレいの全てのセルの結果として伝達曲線の本質的な部分がシフトされるVSH値が決定される。この場合に、曲線48の部分49および初期曲線45を表す破線で図15に示すように、特性の頂部部分は高い電圧値の方へ右方向にシフトする。この場合もまた、初期特性と比較して100mVのシフトが所定の別なドレイン電流I_d（例えば1.5mA）が起きるVSH値を記憶してもよい。

【0041】ゲート酸化物層の試験に関しては、差DV_S=VSH-VSLを試験装置10の品質パラメータとして使用してもよい。例えば、計算したDV_S値との比較に対して基準値DV_{Sref}を確立することによって、試験の結果を計算し、総領域の基づいて当該誘電体層の欠陥（平方センチメートル当たりの欠陥）を決定することが可能である。

【0042】インタポリ誘電体層の試験はゲート酸化物層試験の前後に同じものまたはゲート酸化物層試験のものと同じの分離した試験装置を使用して行ってもよい。

【0043】

【発明の効果】この発明による方法および装置の利点は、次の説明から明らかになる。まず、たとえストレス下のゲート酸化物層または誘電体層を通る電流が測定装置のノイズレベル以下で、それ故直接的に測定できなくとも、この発明による方法および装置はセルのドレインおよびソース電流の測定を通してゲート酸化物層またはインタポリ誘電体層を通る電流を間接的に測定でき、従ってたった1つの欠陥のあるセルの検出が可能になる。従って、これはコンデンサの試験と比較して分解能を強化する。装置自体の試験と比較して、この発明による方法は、コンデンサと同じ試験レベルで欠陥のあるゲート酸化物層またはインタポリ誘電体層を持つロット（即ち、すぐ次の製造のロット）の選択を可能にすることにより前の段階での試験を提供する。

【0044】さらに、メモリアレイのものと大きく異なる構造特性の以前に使用されたコンデンサと異なって、この発明による試験装置は、同時に形成されかつ同じ技術を使用しているため、メモリアレイと物理的に等価であり、従って、試験装置の結果に基づいてアレいの品質の直接的評価が可能である。

【0045】さらにその上、上述した方法は実行するのに簡単で容易であり、試験装置は特別な技術を要するこ

となく、また現存の製造工程に対する変更をすることなく、容易に製造できる。

【0046】また、工学研究目的に対して、メモリアレイと同じ物理的および構造的特性を持つ試験装置をより短い製造工程を使用して製造してもよく、かくして製造工程の規格に対してなされる任意の訂正の迅速で有効な評価が可能になる。

【0047】しかしながら、当業者には、この発明の要旨を逸脱することなくここで説明しかつ例示した方法および装置に対する変更をなし得ることが明らかである。

特に、ゲート酸化物層を評価するため、(図8で示されるように)基板に対して、およびドレイン領域に対して正の電圧で、(上述した実施例におけるように)試験装置セルのゲート領域またはソース領域に対して公平にストレスを印加してもよい。一方、インタポリ誘電体層を評価するため、試験装置のゲート領域は基板に関連して単に正にバイアスされる必要があり、その結果、電界の方向は図11および図12に示すようになる。スレッショルド電圧に達しない電流の測定はドレインまたはソース電流を含んでもよく、一方、特性の測定はドレインまたはソース電流に対立するものとして相互コンダクタンスさえ含んでもよい。

【0048】上述した説明はフラッシュEEPROMメモリに関するものであったけれども、説明した方法および装置はEPROMおよびEEPROMメモリの評価にもまた用いてもよく、この場合、試験装置は、制御ゲートライン、ソースラインおよびドレインラインを電気的に接続することにより、該EPROMまたはEEPROMの型に物理的に等価である。最後に、印加されるストレスの型は必ずしも電気的であってもよく、たとえば、欠陥のあるセルのフローティングゲート領域から電子の除去を生じるならば、放射線でもよい。

【図面の簡単な説明】

【図1】この発明により用いられる試験装置の平面図である。

【図2】図1の試験装置の電気的特性を示す図である。

【図3】図1の試験装置の電気的特性を示す図である。

【図4】図1の試験装置の電気的特性を示す図である。

【図5】図1の試験装置の電気的特性を示す図である。

【図6】図1の試験装置の電気的特性を示す図である。

【図7】トンネル酸化物層の品質を決定するために、こ

*の発明の方法の一実施例による図1の試験装置に印加されるストレス電圧を示す図である。

【図8】トンネル酸化物層の品質を決定するために、この発明の方法の他の実施例による図1の試験装置に印加されるストレス電圧を示す図である。

【図9】異なる欠陥およびバイアス条件下の電気的ストレス量を例示する図16と同じ断面図である。

【図10】異なる欠陥およびバイアス条件下の電気的ストレス量を例示する図16と同じ断面図である。

【図11】異なる欠陥およびバイアス条件下の電気的ストレス量を例示する図16と同じ断面図である。

【図12】異なる欠陥およびバイアス条件下の電気的ストレス量を例示する図16と同じ断面図である。

【図13】インタポリ誘電体層の品質を決定するための図1の試験装置のストレス電圧および特性を示す図である。

【図14】インタポリ誘電体層の品質を決定するための図1の試験装置のストレス電圧および特性を示す図である。

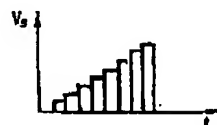
【図15】インタポリ誘電体層の品質を決定するための図1の試験装置のストレス電圧および特性を示す図である。

【図16】周知のフラッシュEEPROMメモリセルの断面図である。

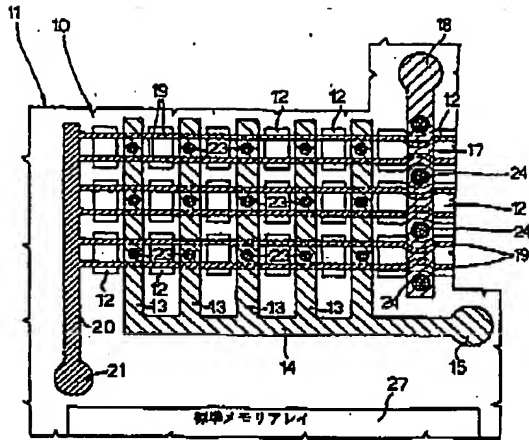
【符号の説明】

- 1 P型基板
- 2 N型ドレイン領域
- 3 N型ソース領域
- 4 ゲート酸化物層
- 5 フローティングゲート領域
- 6 インタポリ誘電体層
- 7 制御ゲート領域
- 10 フラッシュEEPROMメモリ試験装置
- 13 金属ドレインライン
- 14、20 共通部分
- 15、18、21 単一パッド
- 17 金属ソースライン
- 19 ポリシリコン制御ゲートライン
- 27 標準メモリアレイ
- 100 フラッシュEEPROMセル

【図8】

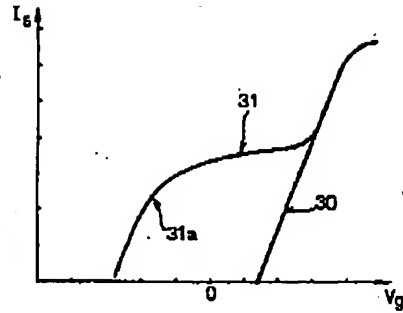


【図1】

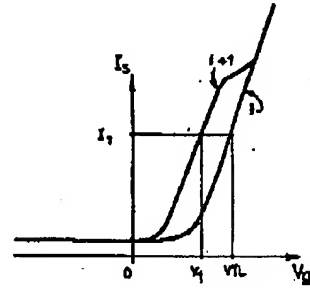


- 10: フラッシュEEPROMメモリ試験装置
 12: 金属ドレインライン
 14, 20: 共通源分
 15, 18, 21: 第一バッド
 17: 金属ソースライン
 19: ポリシリコン制御ゲートライン

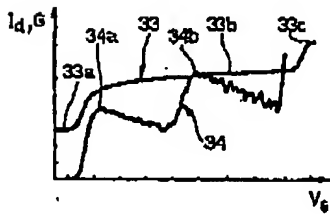
【図2】



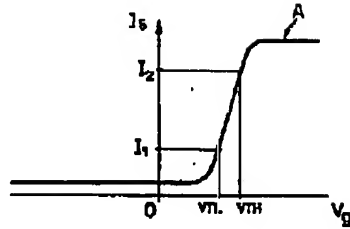
【図5】



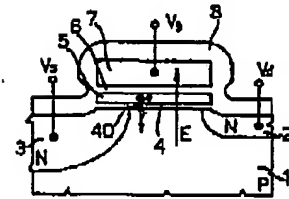
【図3】



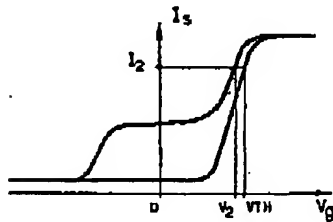
【図4】



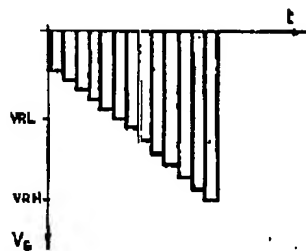
【図9】



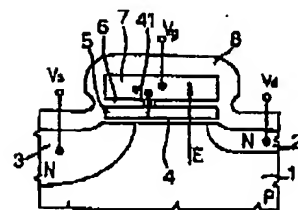
【図6】



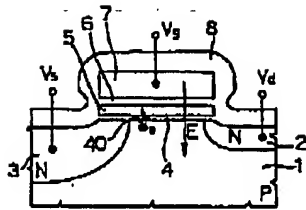
【図7】



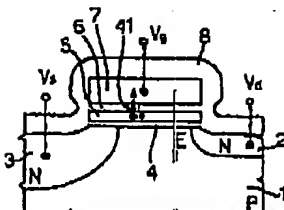
【図10】



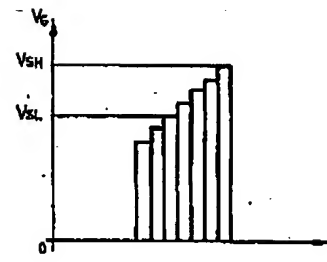
【図11】



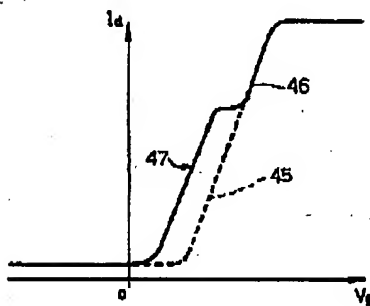
【図12】



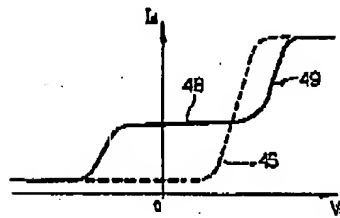
【図13】



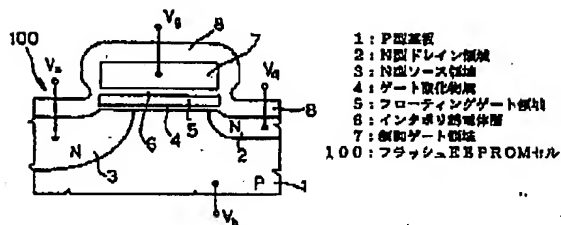
【図14】



【図15】



【図16】



- 1: P型基板
- 2: N型ドレイン領域
- 3: N型ソース領域
- 4: ゲート酸化絶縁層
- 5: フloatingゲート領域
- 6: インタポリ絶縁層
- 7: 制御ゲート領域
- 100: フラッシュEEPROMセル

フロントページの続き

(51)Int. Cl.⁸

H01L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 レオナルド・ラヴァツィ

イタリア国、24044 ダルミネ、ヴィア・

コンテ・ラッチィ 3